

## KOREAN PATENT ABSTRACTS

(11) Publication number : 000266749 B1  
(44) Date of publication of specification : 27.06.2000  
(21) Application number : 980014850  
(71) Applicant : SAMSUNG ELECTRONICS CO., LTD.  
(22) Date of filing : 25.04.1998  
(72) Inventor : JUNG, IN GWON  
YOUN, BO EON  
(51) Int. Cl. H01L 21/28

## (54) METHOD FOR FORMING CONTACT PLUG OF SEMICONDUCTOR DEVICE

## (57) Abstract :

PURPOSE: A method for forming a contact plug is to prevent a bridge between the interconnects due to a scratch of an insulating layer and to improve planarization of the insulating layer, thereby increasing reliability and yields of a semiconductor device.

CONSTITUTION: A conductive structure is formed on a semiconductor substrate(100) which has a plurality of diffusion regions. An insulating layer is formed on the semiconductor substrate including the conductive structure. The insulating layer is etched until the surface of at least one of the diffusion regions and the conductive structure are exposed, thereby forming a contact hole (108). The contact hole is filled with a conductive substance to form a conductive layer on the insulating layer. The conductive layer is etched until the surface of the insulating layer is exposed, thereby forming a contact plug. The surface of the insulating layer including the contact plug is etched by a planarizing etching process.

<http://211.173.78.101/kpa/abstractbody.jsp?applno=1019980014850>

2002/05/16

Abstract Body Page

2/2 ページ

## LEGAL STATUS

Date of request for examination :	25.04.1998	Number of opposition :	
First disposal :	decision of registration	Date of opposition :	
Date of first disposal :	30.03.2000	Number of request for trial :	
Number of registration :	02667490000	Date of request for trial :	
Date of registration :	27.06.2000	Date of extinction of right :	

Copyright (c) 2001 Korean Industrial Property Office.

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl. °

H01L 21 /28

(11) 공개번호

특1999-006403

(43) 공개일자

1999년01월25일

(21) 출원번호

특1998-014850

(22) 출원일자

1998년04월25일

(30) 우선권주장

97-24146 1997년06월11일 대한민국(KR)

(71) 출원인

삼성전자 주식회사 윤종웅

(72) 발명자

경기도 수원시 팔달구 매탄동 416번지  
윤보연

서울특별시 서초구 반포2동 주공아파트 220동 302호

정인권

(74) 대리인

경기도 성남시 분당구 정자동 정릉마을 우성아파트 610동 1201호  
임창현

심사청구 : 있음

## (54) 반도체 장치의 콘택 플러그 형성 방법

## 요약

본 발명은 배선간의 브리지를 방지하는 반도체 장치의 콘택 플러그 형성 방법에 관한 것으로, 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물이 형성된다. 도전 구조물을 포함하여 반도체 기판 상에 하부 절연층 및 하부 절연층보다 높은 경도를 갖는 상부 절연층이 형성된다. 상기 확산 영역들 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 절연층을 식각 하여 콘택홀이 형성된다. 콘택홀을 채우면서 상부 절연층 상에 도전층이 형성된다. 적어도 상부 절연층의 상부 표면이 노출되도록 도전층이 식각된 후, 상부 절연층 및 하부 절연층이 평탄화 식각된다. 또는, 도전층, 상부 절연층, 그리고 하부 절연층이 한 번에 평탄화 식각된다. 이와 같은 반도체 장치의 제조 방법에 의해서, 콘택 플러그가 형성된 후 절연층이 평탄화 식각 됨으로써 절연층 상부 표면의 스크래치에 따른 배선간의 브리지를 방지할 수 있고, 저경도의 하부 절연층 상에 고경도를 갖는 상부 절연층을 형성함으로써, 절연층 평탄화 식각시 도전 구조물이 형성된 고단차 영역과 도전 구조물이 형성되지 않은 저단차 영역의 평탄화를 개선시킬 수 있고, 평탄화 식각을 위한 절연층의 두께를 줄일 수 있다.

## 대표도

## 도3

## 영세서

### 도면의 간단한 설명

도 1a 내지 도 1d는 종래의 반도체 장치의 콘택 플러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도;

도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도;

도 3은 본 발명의 제 1 실시예에 따른 리세스된 콘택 플러그를 보여주는 단면도;

도 4a 내지 도 4e는 본 발명의 제 2 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도;

도 5는 본 발명의 제 2 실시예에 따른 리세스된 콘택 플러그를 보여주는 단면도.

### \* 도면의 주요 부분에 대한 부호의 설명

- |                          |                          |
|--------------------------|--------------------------|
| 1. 100, 200 : 반도체 기판     | 2. 102 : 소자격리막           |
| 4. 104 : 게이트 전극          | 6. 106, 204 : 절연층        |
| 8. 108, 206 : 콘택홀        | 10. 110, 208 : 도전층       |
| 10a, 110a, 208a : 콘택 플러그 | 110b, 208b : 리세스된 콘택 플러그 |
| 202 : 금속 배선              | 207 : 배리어막               |

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 좀 더 구체적으로는 배선간의 브리지(bridge)를 방지하는 반도체 장치의 콘택 플러그(contact plug) 형성 방법에 관한 것이다.

반도체 장치가 고집적화 됨에 따라, 다층 배선 기술이 요구된다.

다층 배선 기술에 있어서, 포토리소그래피(photolithography) 공정 아진을 확보하고 배선의 길이를 최소화시키기 위해서 절연층 및 도전층의 평탄화가 요구된다. 평탄도가 유지되지 않으면, 심각한 토폴로지(topology)로 인해 배선이 끊어지거나(open) 단락(short)되는 문제점이 발생한다.

절연층 및 도전층의 평탄화가 요구되는 공정의 예로서, 콘택 플러그 형성 공정이 있다.

도 1a 내지 도 1d는 종래의 반도체 장치의 콘택 플러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 1a를 참조하면, 종래의 반도체 장치의 콘택 플러그 형성 방법은 먼저, 소자격리막(2)을 갖는 반도체 기판(1) 상에 게이트 전극(4) 예를 들어, 반도체 메모리 장치의 워드 라인이 형성된다. 상기 게이트 전극(4)을 포함하여 반도체 기판(1)

전면에 절연층(6) 예를 들어, 산화막이 증착 된다. 상기 절연층(6)의 상부 표면은 상기 게이트 전극(4)의 토폴로지(topology)를 따라 울퉁불퉁하게 형성된다. 또한, 상기 게이트 전극(4)이 형성된 고단차 영역과 형성되지 않은 저단차 영역이 있게 된다.

상기 절연층(6)을 CMP(chemical mechanical polishing) 공정으로 식각 하면 도 1b에 도시된 바와 같이, 상기 절연층(6)의 상부 표면이 평탄화 된다.

도 1c에 있어서, 상기 절연층(6)을 식각 하여 확산 영역들(도면에 미도시)을 노출시키기 위한 콘택홀(8)이 형성된다. 상기 콘택홀(8)이 완전히 채워지도록 상기 절연층(6) 상에 도전층(10) 예를 들어, 폴리실리콘막이 증착 된다.

마지막으로, 상기 도전층(10)을 상기 절연층(6)의 상부 표면이 노출될 때까지 CMP 공정으로 식각 하면 도 1d에 도시된 바와 같이, 콘택 플러그(10a)가 형성된다.

그러나, 상술한 바와 같은 종래 콘택 플러그 형성 방법은, 절연층 CMP 공정이 도전층 CMP 공정에 선행되기 때문에 다음과 같은 문제점이 발생된다. 즉, 상기 절연층 CMP 공정시 절연층 상부 표면에 연마제에 의한 마이크로 스크래치(micro scratch) 및 피팅(pitting) 등의 결함이 발생되는데, 이는 후속 도전을 증착 공정시 상기 결함 부위에 도전 물질이 트랩(trap)되어 배선간의 브리지를 유발하게 된다. 결과적으로, 소자의 신뢰성(reliability) 및 수율(yield) 등을 저하시키는 문제점이 발생된다.

#### 본 발명이 이루고자하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 배선간의 브리지 현상을 발생시키지 않고 콘택 플러그 형성 및 절연층 평탄화를 얻을 수 있는 반도체 장치의 제조 방법을 제공함에 그 목적이 있다.

본 발명의 다른 목적은 절연층의 상부를 상대적으로 높은 경도(硬度)를 갖는 물질로 형성함으로써 고단차 영역과 저단차 영역을 효과적으로 평탄화 시킬 수 있는 반도체 장치의 제조 방법을 제공함에 있다.

#### 본 발명의 구성 및 작용

##### (구성)

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 콘택 플러그 형성 방법은, 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계: 상기 도전 구조물을 포함하여 반도체 기판 상에 절연층을 형성하는 단계: 상기 확산 영역들 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 절연층을 식각하여 콘택홀을 형성하는 단계: 상기 콘택홀을 채우면서 상기 절연층 상에 도전층을 형성하는 단계: 적어도 상기 절연층의 상부 표면이 노출될 때까지 상기 도전층을 식각하여 콘택 플러그를 형성하는 단계: 및 상기 콘택 플러그를 포함하여 상기 절연층의 상부 표면을 평탄화 식각 공정으로 식각 하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 도전층 형성 전에 상기 콘택홀을 포함하여 절연층 상에 배리어막을 형성하는 단계를 더 포함할 수 있다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 콘택 플러그 형성 방법은, 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계: 상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절연층보다 상대적으로 경도가 높은 제 2 절연층을 차례로 형성하는 단계: 상기 확산 영역들 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각하여 콘택홀을 형성하는 단계: 상기 콘택홀을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계: 적어도 상기 제 2 절연층의 상부 표

면이 노출될 때까지 상기 도전층을 식각 하여 콘택 플러그를 형성하는 단계; 및 상기 콘택 플러그를 포함하여 상기 제 2 절연층 및 제 1 절연층의 상부 표면을 평탄화 식각 공정으로 식각 하는 단계를 포함하고, 상기 제 2 절연층은, 상기 평탄화 식각 공정에서 도전 구조물 및 콘택층이 형성되지 않은 저단차 부위의 제 2 절연층 및 제 1 절연층이 상대적으로 느리게 식각 되도록 한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 콘택 플러그 형성 방법은, 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계; 상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절연층보다 상대적으로 경도가 높은 제 2 절연층을 차례로 형성하는 단계; 상기 확산 영역들 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘택층을 형성하는 단계; 상기 콘택층을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계; 및 상기 도전층, 제 2 절연층, 그리고 제 1 절연층을 차례로 평탄화 식각 하여 콘택 플러그 및 평탄한 상부 표면을 갖는 제 1 절연층을 형성하는 단계를 포함하고, 상기 제 2 절연층은 상기 평탄화 식각 공정시, 도전 구조물 및 콘택층이 형성되지 않은 저단차 부위의 제 2 절연층 및 제 1 절연층이 상대적으로 느리게 식각 되도록 한다.

(작용)

도 2d 및 도 4d를 참조하면, 본 발명에 따른 신규한 반도체 장치의 콘택 플러그 형성 방법은, 콘택층을 채우면서 절연층 상에 도전층이 형성된다. 적어도 절연층의 상부 표면이 노출될 때까지 도전층이 에치 백 내지 CMP 공정으로 식각 되어 콘택 플러그가 형성된 후, 콘택 플러그를 포함하여 절연층의 상부 표면이 CMP 공정으로 평탄화 식각 된다. 또는, 도전층 및 절연층이 한 번의 CMP 공정으로 평탄화 식각 되어 콘택 플러그 및 평탄한 상부 표면을 갖는 절연층이 형성된다. 이와 같은 반도체 장치의 제조 방법에 의해서, 콘택층을 도전층으로 채운 후 절연층 평탄화 공정을 수행함으로써, 절연층 상부 표면의 스크래치 발생에 따른 배선간의 브리지 발생을 방지할 수 있고, 저경도의 하부 절연층 상에 고경도를 갖는 상부 절연층을 형성함으로써, 고단차 영역과 저단차 영역의 효과적인 평탄화를 얻을 수 있고, 평탄화 식각을 위한 절연층의 두께를 줄일 수 있다.

(실시예 1)

이하, 도 2 및 도 3을 참조하여 본 발명의 제 1 실시예를 상세히 설명한다.

도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 2a를 참조하면, 본 발명의 제 1 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법은 먼저, 반도체 기판(100) 상에 활성 영역과 비활성 영역을 정의하기 위한 소자격리막(102)이 형성된다. 상기 소자격리막(102)은 예를 들어, STI(shallow trench isolation) 방법으로 형성된다. 상기 반도체 기판(100) 상에 게이트 전극(104) 예를 들어, 반도체 메모리 장치의 워드 라인이 형성된다. 상기 게이트 전극(104)의 양측의 활성 영역 내에 확산 영역들(도면에 미도시) 예를 들어, 소스/드레인 영역들이 형성된다. 상기 게이트 전극(104)을 포함하여 반도체 기판(100) 전면에 배선간의 절연을 위한 절연층(106)이 형성된다.

상기 절연층(106)은, SiO<sub>2</sub>, USG, BPSG, PSG, SiN, SiON, SiOF, SOG, FOX, 그리고 폴리머 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

바람직하게, 상기 절연층(106)은 서로 다른 경도의 하부 절연층(106a) 및 상부 절연층(106b)을 갖는 다층막으로 형성된다. 하부 절연층(106a)은 예를 들어, 산화막(106a)으로서 바람직하게 4000 Å 내지 12000 Å의 두께 범위 내로 형성된다.

상기 하부 절연층(106a)은 예를 들어, CVD(chemical vapor deposition), 리플로우(reflow), 증착식각, 그리고 HDP(high density plasma) 등의 방법에 의한 SiO<sub>2</sub>, USG(undoped silicate glass), BPSG(boro-phospho-silicate-glass), PSG(phospho-silicate-glass), 그리고 SiOF 또는 스피ن 코팅(spin coating) 방법에 의한 SOG(spin on glass), FOX(flowable oxide), 그리고 폴리머(polymer) 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

상기 상부 절연층(106b)은 상기 하부 절연층(106a) 보다 상대적으로 고경도를 갖는 막질로서, 바람직하게 100 Å 내지 1000 Å의 두께 범위 내로 형성된다.

상기 상부 절연층(106b)은 예를 들어, SiN, SiON, AlN, Al<sub>2</sub>O<sub>3</sub>, diamond like carbon, 그리고 BN 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다. 상기 상부 절연층(106b)은 후속 평탄화 식각 공정에서 저단차 영역의 하부 절연층(106a)의 식각을 느리게 하는 기능을 갖는다.

상기 절연층(106)의 상부 표면은 상기 게이트 전극(104)의 토폴로지를 따라 음향불등하게 형성되며, 상기 게이트 전극(104)이 형성된 영역은 게이트 전극(104)이 형성되지 않은 영역보다 상대적으로 고단차를 갖게 된다.

도 2b에 있어서, 상기 확산 영역들 중 적어도 하나가 노출될 때까지 상기 절연층(106)이 식각 되어 콘택홀(108)이 형성된다.

도 2c에서와 같이, 상기 콘택홀(108)을 완전히 채우기에 충분한 두께 예를 들어, 3000 Å 내지 5000 Å의 두께 범위 내로 상부 절연층(106b) 상에 콘택 플러그 형성을 위한 도전층(110)이 형성된다. 상기 도전층(110)은 CVD, PVD, 리플로우(reflow), 그리고 force fill 방법 중 어느 하나에 의해 형성된 W, Al, Cu, Ti, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나이다.

상기 도전층(110) 형성 전에 콘택 저항 개선, 상호 반응 억제, 그리고 접착(adhesion) 특성 개선을 위한 배리어막(barrier layer)(도면에 미도시)이 더 형성될 수 있다. 상기 배리어막은 예를 들어, Ti, TiN, Ta, TaN, WN, 그리고 TiSiN 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

다음, 도 2d를 참조하면, 상기 상부 절연층(106b)의 상부 표면이 노출될 때까지 도전층(110)이 식각 되어 콘택 플러그(110a)가 형성된다.

상기 도전층(110) 식각 공정은, CMP 공정 또는 바람직하게, 습식 내지 건식 방법에 의한 에치 백 공정 등으로 수행된다.

상기 CMP 공정으로 상기 도전층(110) 식각 공정이 수행되는 경우, 상기 절연층(106)에서 식각 정지가 이루어지도록 하기 위해, 상기 상부 절연층(106b) 및 하부 절연층(106a)에 대한 도전층(110)의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 범위 내의 연마제가 사용된다. 바람직하게, 상기 산화막(106a) 및 질화막(SiN 또는 SiON)(106b)에 대해 폴리실리케이트(110)이 다섯 배 이상의 높은 연마 속도를 갖는 연마제가 사용된다.

도 3은 본 발명의 제 1 실시예에 따른 리세스된 콘택 플러그(110b)를 보여주는 단면도이다.

상기 에치 백 공정으로 도전층 식각 공정이 수행되는 경우, 과도한 과식각(over etch)이 진행되어 콘택홀(108) 내에 채워진 도전층(110)이 식각 되면 도 3에서와 같이, 리세스된 콘택 플러그(110b)가 형성된다. 상기 리세스된 콘택 플러그(110b)는 후속 절연층 평탄화 식각 공정시 식각 정지층으로 사용될 수 있다.

마지막으로, 상기 콘택 플러그(110a 또는 110b) 및 절연층(106)에 대해 CMP 공정으로 평탄화 식각 공정이 수행된다. 그러면, 도 2e에 도시된 바와 같이, 상부 절연층(106b)이 제거되고, 하부 절연층(106a)의 상부 표면이 평탄화 되어, 하부 절연층(106a)의 상부 표면과 나란한 상부 표면을 갖는 콘택 플러그(110a)가 형성된다. 이때, 상기 CMP 공정은 바람직하게, 도전층에 대한 절연층의 {마 속도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제를 사용하여 수행된다. 한편, 상기 리세스된 콘택 플러그(110b)가 형성된 경우, 바람직하게 상기 리세스된 콘택 플러그(110b)를 식각 정지층으로 사용하여 점선으로 나타난 부위(111)까지 상기 절연층(106)이 CMP 공정으로 평탄화 식각 된다.

상기 게이트 전극(104) 및 콘택홀(108)을 갖는 고단차 영역은 이들이 형성되지 않은 저단차 영역보다 더 높은 연마 속도로 식각 되므로 절연층(106)의 상부 표면의 평탄화가 용이하게 달성된다. 또한, 상기 고경도를 갖는 상부 절연층(106b)이 하부 절연층(106a) 보다 더 느리게 식각 되므로 효과적인 평탄화를 얻게 된다. 따라서, 실질적인 배선간의 절연을 위한 절연층으로 사용되는 상기 하부 절연층(106a)의 형성 두께들 종래에 비해 감소시킬 수 있게 된다.

한편, 상기 도전층(110) 및 절연층(106)을 CMP 공정을 사용하여 한 번에 평탄화 식각 하여 콘택 플러그(110a) 및 평탄한 상부 표면을 갖는 하부 절연층(106a)을 동시에 형성할 수도 있다. 이것은 바람직하게, 통상의 산화막 식각용 연마제 즉, 선택비가 없는 연마제를 사용하여 폴리실리콘층(110), 질화막(106b), 그리고 산화막(106a)이 차례로 식각 된다.

후속 공정으로, 상기 콘택 플러그(110a, 110b)와 전기적으로 접속되는 상부 배선(도면에 미도시)이 형성된다. 평탄화된 절연층(106)의 상부 표면에 콘택 플러그 형성을 위한 도전 물질이 트랩 되지 않으므로, 상부 배선을 형성하더라도 배선간의 브리지가 발생되지 않는다.

(실시예 2)

이하, 도 4 및 도 5를 참조하여, 본 발명의 제 2 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법을 상세히 설명한다.

도 4a 내지 도 4b는 본 발명의 제 2 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법의 공정을 순차적으로 보여주는 흐름도이다.

도 4a를 참조하면, 본 발명의 제 2 실시예에 따른 반도체 장치의 콘택 플러그 형성 방법은 먼저, 활성 영역과 비활성 영역이 정의된 반도체 기판(200)의 활성 영역 상에 금속 배선(202)이 형성된다. 또는, 게이트 전극(도면에 미도시)이 형성된 반도체 기판(200) 상에 절연층(도면에 미도시)(예를 들어, 4000 Å 내지 20000 Å 두께)이 형성된 후, 이 절연층 상에 상기 금속 배선(202)이 형성된다.

상기 금속 배선(202)을 포함하여 반도체 기판(200) 전면에 배선간의 절연을 위한 절연층(204)이 형성된다.

상기 절연층(204)은, SiO<sub>2</sub>, USG, BPSG, PSG, SiN, SiON, SiOF, SOG, FOX, 그리고 폴리머 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

바람직하게, 상기 절연층(204)은 서로 다른 경도의 하부 절연층(204a) 및 상부 절연층(204b)을 갖는 다층막으로 형성된다. 하부 절연층(204a)은 예를 들어, 산화막(204a)으로서 바람직하게 10000 Å 내지 30000 Å의 두께 범위 내로 형성된다.

상기 하부 절연층(204a)은 예를 들어, CVD, 리플로우, 증착식각, 그리고 HDP 등의 방법에 의한 SiO<sub>2</sub>, USG, BPSG, PSG, 그리고 SiOF 또는 스피 코팅 방법에 의한 SOG, FOX, 그리고 폴리머 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

상기 하부 절연층(204a) 상에 하부 절연층(204a) 보다 상대적으로 고경도를 갖는 상부 절연층(204b)이 바람직하게 100 Å 내지 1000 Å의 두께 범위 내로 더 형성된다.

상기 상부 절연층(204b)은 예를 들어, SiN, SiON, AlN, Al<sub>2</sub>O<sub>3</sub>, diamond like carbon, 그리고 BN 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다. 상기 상부 절연층(204b)은 후속 평탄화 식각 공정에서 저단차 영역의 하부 절연층(204a)의 식각을 느리게 하는 기능을 갖는다.

상기 절연층(204)의 상부 표면은 상기 금속 배선(202)의 토폴로지를 따라 울퉁불퉁하게 형성되며, 상기 금속 배선(202)이 형성된 영역은 금속 배선(202)이 형성되지 않은 영역보다 상대적으로 고단차를 갖게 된다.

도 4b에 있어서, 상기 금속 배선(202) 중 적어도 하나의 상부 표면이 노출될 때까지 상기 절연층(204)이 식각 되어 콘택 홀(206)이 형성된다. 상기 콘택홀(206)을 포함하여 상부 절연층(204b) 상에 배리어막(207)이 형성된다. 상기 배리어막(207)은 콘택 저항을 개선하고, 상기 금속 배선(202)과 콘택 플러그 도전 물질 사이의 상호 반응을 억제하며, 콘택 플러그 도전 물질의 접착 특성을 개선하기 위해서 형성된다. 상기 배리어막(207)은 예를 들어, Ti, TiN, Ta, TaN, WN, 그리고 TiSiN 중 어느 하나로 형성되는 단일막 또는 이들의 복합막이다.

다음, 도 4c를 참조하면, 상기 콘택홀(206)을 완전히 채우기에 충분한 두께 예를 들어, 2000 Å 내지 6000 Å의 두께 범위

내로 배리어막(207) 상에 도전층(208)이 형성된다. 상기 도전층(208)은 콘택 플러그 형성을 위한 것으로, CVD, PVD, 리플로우, 그리고 force fill 방법 중 어느 하나에 의한 W, Al, Cu, Ti, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나로 형성된다.

도 4d에 있어서, 상기 상부 절연층(204b)의 상부 표면이 노출될 때까지 도전층(208) 및 배리어막(207)이 식각 되어 콘택 플러그(208a)가 형성된다.

상기 도전층(208) 및 배리어막(207) 식각 공정은, CMP 공정 또는 바람직하게, 습식 내지 건식 양법에 의한 에치 백 공정 등으로 수행된다.

상기 CMP 공정으로 도전층 식각 공정이 수행되는 경우, 상기 절연층(204)에서 식각 정지가 이루어지도록 하기 위해, 상기 상부 절연층(204b) 및 하부 절연층(204a)에 대한 도전층(208)의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 범위 내의 연마제가 사용된다. 바람직하게, 상기 산화막(204a) 및 질화막(SiN 또는 SiON)(204b)에 대해 텅스텐층(208)이 다섯 배 이상의 높은 연마 속도를 갖는 연마제가 사용된다.

도 5는 본 발명의 제 2 실시예에 따른 리세스된 콘택 플러그(208b)를 보여주는 단면도이다.

상기 에치 백 공정으로 도전층 식각 공정이 수행되는 경우, 도 3의 제 1 실시예에서와 같이 충분한 과식각을 진행하면 도 5에서와 같이, 리세스된 콘택 플러그(208b)가 형성된다. 상기 리세스된 콘택 플러그(208b)는 후속 절연층 평탄화 식각 공정시 식각 정지층으로 사용될 수 있다.

마지막으로, 상기 콘택 플러그(208a 또는 208b) 및 절연층(204)에 대해 CMP 공정으로 평탄화 식각 공정이 수행된다. 그러면, 도 4e에 도시된 바와 같이, 상부 절연층(204b)이 제거되고, 하부 절연층(204a)의 상부 표면이 평탄화 되며, 하부 절연층(204a)의 상부 표면과 나란한 상부 표면을 갖는 콘택 플러그(208a)가 형성된다. 이때, 이 CMP 공정은 바람직하게, 도전층(208)에 대한 절연층(204)의 연마 속도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제를 사용하여 수행된다. 한편, 상기 리세스된 콘택 플러그(208b)가 형성된 경우, 바람직하게 상기 리세스된 콘택 플러그(208b)를 식각 정지층으로 사용하여 정선으로 나타난 무위(209)까지 상기 절연층(204)이 CMP 공정으로 평탄화 식각 된다. 이 CMP 공정에서는 도전층(208)과 절연층(204)의 연마 속도의 비가 1 : 10 이상인 연마제를 사용하는 것이 바람직하다.

상기 금속 배선(202) 및 콘택층(206)을 갖는 고단차 영역은 이들이 형성되지 않은 저단차 영역보다 더 높은 연마 속도로 식각 되므로 절연층(204)의 상부 표면의 평탄화가 용이하게 달성된다. 또한, 상기 고경도의 상부 절연층(204b)이 하부 절연층(204a) 보다 더 느리게 식각 되므로 효과적인 평탄화를 얻게 된다. 따라서, 실질적인 배선간의 절연을 위한 절연층으로 사용되는 상기 하부 절연층(204a)의 두께를 종래에 비해 감소시킬 수 있게 된다.

한편, 상기 도전층(208) 및 절연층(204)을 CMP 공정을 사용하여 한 번에 평탄화 식각 하여 콘택 플러그(208a) 및 평탄한 상부 표면을 갖는 하부 절연층(204a)을 동시에 형성할 수도 있다. 이것은 바람직하게, 통상의 산화막 식각용 연마제 즉, 선택비가 없는 연마제를 사용하여 텅스텐층(208), 배리어막(207), 질화막(204b), 그리고 산화막(204a)이 차례로 식각 된다.

후속 공정으로, 상기 콘택 플러그(208a, 208b)와 전기적으로 접속되도록 상부 배선(도면에 미도시)이 형성된다. 평탄화된 절연층(204)의 상부 표면에 콘택 플러그 형성을 위한 도전 물질이 트랩 되지 않으므로, 상부 배선을 형성하더라도 배선간의 브리지가 발생되지 않는다.

본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며, 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다. 예를 들어, 서로 다른 깊이의 콘택층을 갖는 경우에 대해서도 적용 가능하다.



본 발명은 종래 반도체 장치의 콘택 플러그 형성 방법이 절연막 CMP 공정 후 콘택 플러그 CMP 공정을 수행함에 따라, 절연막의 상부 표면의 스크래치 발생에 따른 배선간의 브리지 현상이 발생하는 문제점을 해결한 것이다.

본 발명에 따른 반도체 장치의 콘택 플러그 형성 방법은 콘택 플러그가 형성된 후 절연층이 평탄화 식각 됨으로써 절연층 상부 표면의 스크래치에 따른 배선간의 브리지를 방지할 수 있는 효과가 있다.

또한, 저경도의 하부 절연층 상에 고경도를 갖는 상부 절연층을 형성함으로써, 절연층 평탄화 식각시 도전 구조물이 형성된 고단차 영역과 도전 구조물이 형성되지 않은 저단차 영역의 평탄화를 개선시킬 수 있으며, 평탄화 식각을 위한 절연층의 두께를 줄일 수 있는 효과가 있다.

#### (57) 청구의 범위

청구항 1. 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계;

상기 도전 구조물을 포함하여 반도체 기판 상에 절연층을 형성하는 단계;

상기 확산 영역을 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 절연층을 식각 하여 콘택홀을 형성하는 단계;

상기 콘택홀을 채우면서 상기 절연층 상에 도전층을 형성하는 단계;

적어도 상기 절연층의 상부 표면이 노출될 때까지 상기 도전층을 식각 하여 콘택 플러그를 형성하는 단계; 및

상기 콘택 플러그를 포함하여 상기 절연층의 상부 표면을 평탄화 식각 공정으로 식각 하는 단계를 포함하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 절연층은, SiO<sub>2</sub>, USG, BPSG, PSG, SiN, SiON, SiOF, SOG, FOX, 폴리머, 그리고 이들의 복합막 중 어느 하나로 형성되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 3. 제 1 항에 있어서,

상기 도전층은, CVD, PVD, 리플로우, 그리고 force fill 방법 중 어느 하나로 형성되는 W, Al, Cu, Ti, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나인 반도체 장치의 콘택 플러그 형성 방법.

청구항 4. 제 1 항에 있어서,

상기 도전층 식각 공정은, 에치 백 공정 및 CMP 공정 중 어느 하나로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 5. 제 4 항에 있어서,

상기 에치 백 공정은, 습식 방법 및 건식 방법 중 어느 하나로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 6. 제 4 항에 있어서,

상기 CMP 공정은, 상기 절연층과 도전층의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 범위 내의 연마제를 사용하여

수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 7. 제 1 항에 있어서,

상기 도전층 식각 공정은, 상기 도전층이 과식각 되어 상기 리세스된 콘택 플러그가 형성될 때까지 수행되고, 상기 리세스된 콘택 플러그는 상기 평탄화 식각 공정시 식각 정지층으로 사용되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 8. 제 1 항에 있어서,

상기 평탄화 식각 공정은, 상기 절연층과 도전층의 연마 속도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제를 사용하는 CMP 공정으로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 9. 제 1 항에 있어서,

상기 도전층 형성 전에 상기 콘택홀을 포함하여 절연층 상에 배리어막을 형성하는 단계를 더 포함하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 10. 제 9 항에 있어서,

상기 배리어막은 Ti, TiN, Ta, TaN, WN, TiSiN, 그리고 이들의 복합막 중 어느 하나로 형성되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 11. 반도체 기판 내에 극수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계:

상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절연층보다 상대적으로 경도가 높은 제 2 절연층을 차례로 형성하는 단계;

상기 확산 영역들 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘택홀을 형성하는 단계;

상기 콘택홀을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계;

적어도 상기 제 2 절연층의 상부 표면이 노출될 때까지 상기 도전층을 식각 하여 콘택 플러그를 형성하는 단계; 및

상기 콘택 플러그를 포함하여 상기 제 2 절연층 및 제 1 절연층의 상부 표면을 평탄화 식각 공정으로 식각 하는 단계를 포함하고,

상기 제 2 절연층은, 상기 평탄화 식각 공정에서 도전 구조물 및 콘택홀이 형성되지 않은 저단차 부위의 제 2 절연층 및 제 1 절연층이 상대적으로 느리게 식각 되도록 하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 12. 제 11 항에 있어서,

상기 제 1 절연층은, SiO<sub>2</sub>, USG, BPSG, PSG, SiOF, SOG, FOX, 폴리머, 그리고 이들의 복합막 중 어느 하나로 형성되고, 상기 제 2 절연층은 SiN, SiON, AlN, Al<sub>2</sub>O<sub>3</sub>, BN, diamond like carbon, 그리고 이들의 복합막 중 어느 하나로 형성되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 13. 제 11 항에 있어서,

상기 도전층은, CVD, PVD, 리플로우, 그리고 force fill 방법 중 어느 하나로 형성되는 W, Al, Cu, Ti, TiN, poly-Si, W-Si, Al-Cu, 그리고 Al-Cu-Si 중 어느 하나인 반도체 장치의 콘택 플러그 형성 방법.

청구항 14. 제 11 항에 있어서,

상기 도전층 식각 공정은, 에치 백 공정 및 CMP 공정 중 어느 하나로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 15. 제 14 항에 있어서,

상기 에치 백 공정은, 습식 방법 및 건식 방법 중 어느 하나로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 16. 제 14 항에 있어서,

상기 CMP 공정은, 상기 제 1 및 제 2 절연층과 도전층의 연마 속도의 비가 1 : 수 백 내지 수 백 : 1의 범위를 갖는 연마제를 사용하여 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 17. 제 11 항에 있어서,

상기 도전층 식각 공정은, 상기 도전층이 과식각 되어 상기 리세스된 콘택 플러그가 형성될 때까지 수행되고, 상기 리세스된 콘택 플러그는 상기 평탄화 식각 공정시 식각 정지층으로 사용되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 18. 제 11 항에 있어서,

상기 평탄화 식각 공정은 상기 제 1 및 제 2 절연층과 도전층의 연마 속도의 비가 수 백 : 1 내지 1 : 수 백의 범위를 갖는 연마제를 사용하는 CMP 공정으로 수행되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 19. 제 11 항에 있어서,

상기 도전층 형성 전에 상기 콘택홀을 포함하여 제 2 절연층 상에 배리어막을 형성하는 단계를 더 포함하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 20. 제 19 항에 있어서,

상기 배리어막은 Ti, TiN, Ta, TaN, WN, TiSiN, 그리고 이들의 복합막 중 어느 하나로 형성되는 반도체 장치의 콘택 플러그 형성 방법.

청구항 21. 반도체 기판 내에 복수 개의 확산 영역을 갖는 반도체 기판 상에 도전 구조물을 형성하는 단계;

상기 도전 구조물을 포함하여 반도체 기판 상에 제 1 절연층 및 제 1 절연층보다 상대적으로 경도가 높은 제 2 절연층을 차례로 형성하는 단계;

상기 확산 영역을 및 도전 구조물 중 적어도 하나의 상부 표면이 노출될 때까지 상기 제 2 절연층 및 제 1 절연층을 차례로 식각 하여 콘택홀을 형성하는 단계;

상기 콘택홀을 채우면서 상기 제 2 절연층 상에 도전층을 형성하는 단계; 및

상기 도전층, 제 2 절연층, 그리고 제 1 절연층을 차례로 평탄화 식각 하여 콘택 플러그 및 평탄한 상부 표면을 갖는 제 1 절연층을 형성하는 단계를 포함하고,

상기 제 2 절연층은 상기 평탄화 식각 공정시, 도전 구조물 및 콘택홀이 형성되지 않은 저단차 부위의 제 2 절연층 및 제 1 절연층이 상대적으로 느리게 식각 되도록 하는 반도체 장치의 콘택 플러그 형성 방법.

청구항 22. 제 21 항에 있어서,

상기 도전층 형성 전에 상기 콘택홀을 포함하여 제 2 절연층 상에 배리어막을 형성하는 단계를 더 포함하는 반도체 장치의 콘택 플러그 형성 방법.

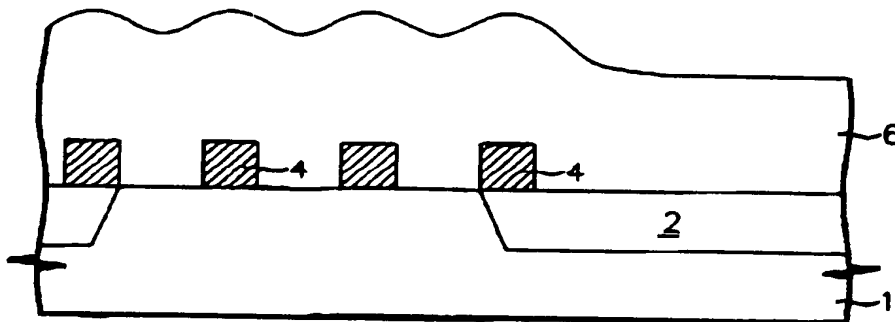
청구항 23. 제 22 항에 있어서,

상기 배리어막은 Ti, TiN, Ta, TaN, WN, TiSiN, 그리고 이들의 복합막 중 어느 하나로 형성되는 반도체 장치의 콘택 플러그 형성 방법.

도면

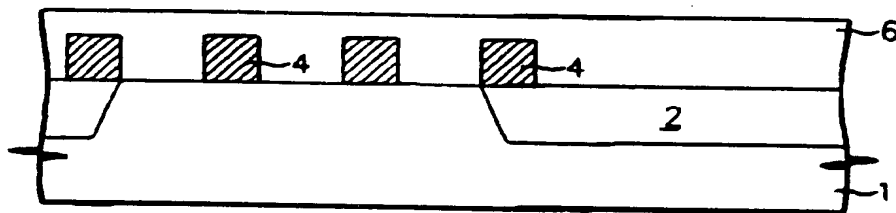
도면 1a

(종래기술)



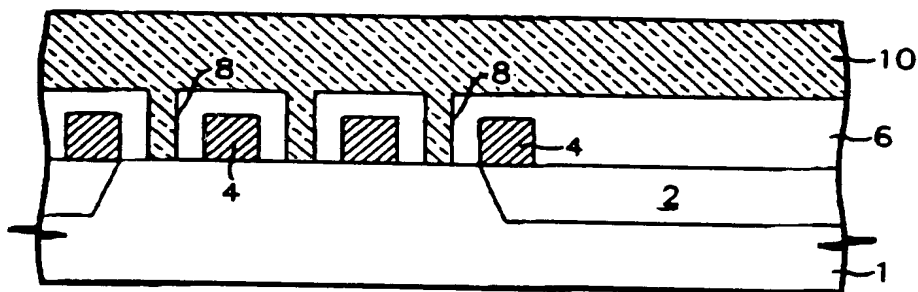
도면 1b

(중래기술)



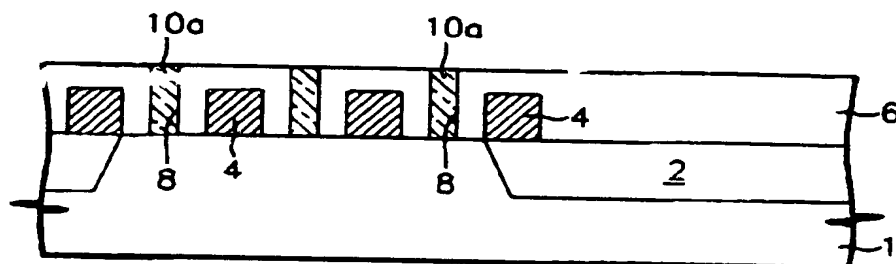
도면 1c

(중래기술)

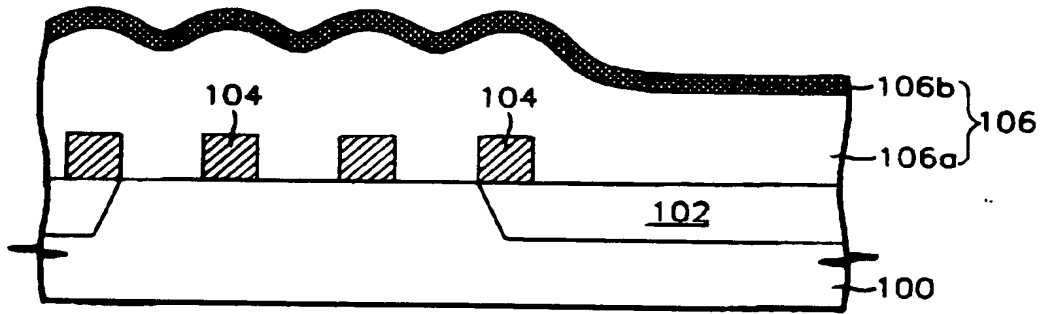


도면 1d

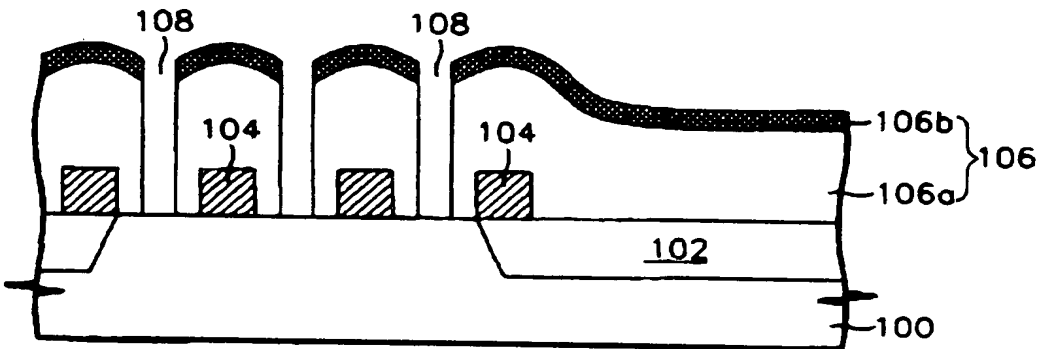
(중래기술)



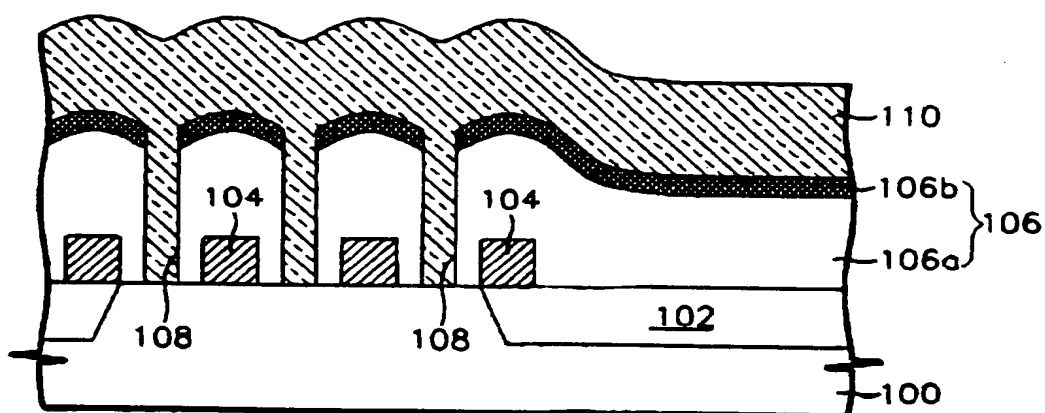
도면 2a



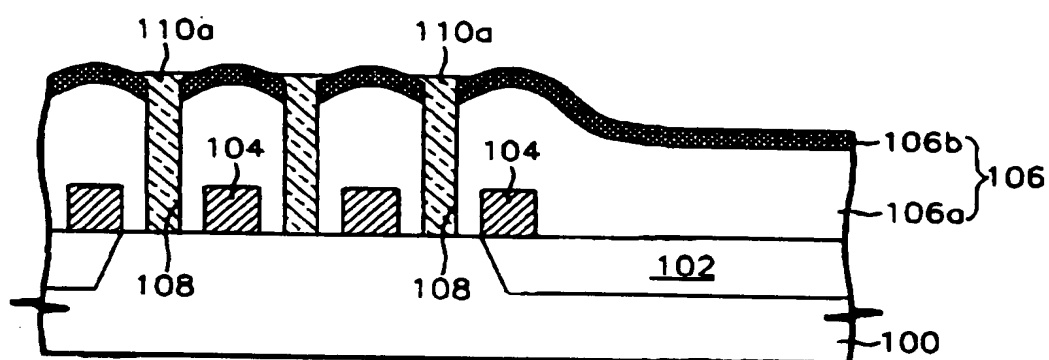
도면 2b



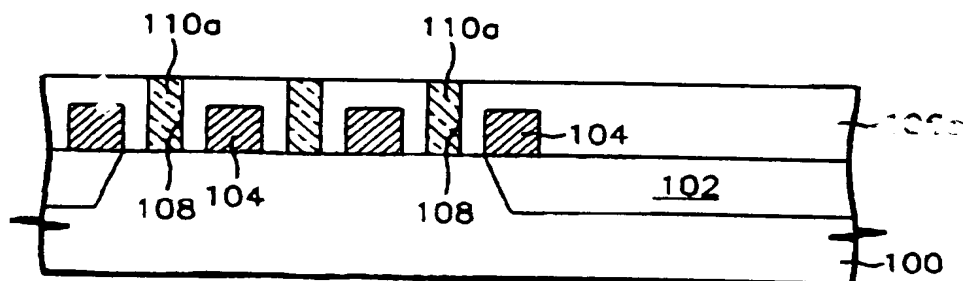
도면 2c



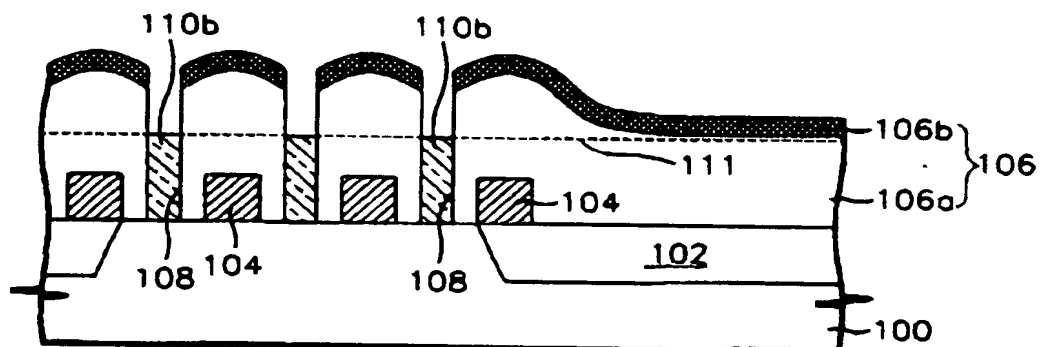
도면2d



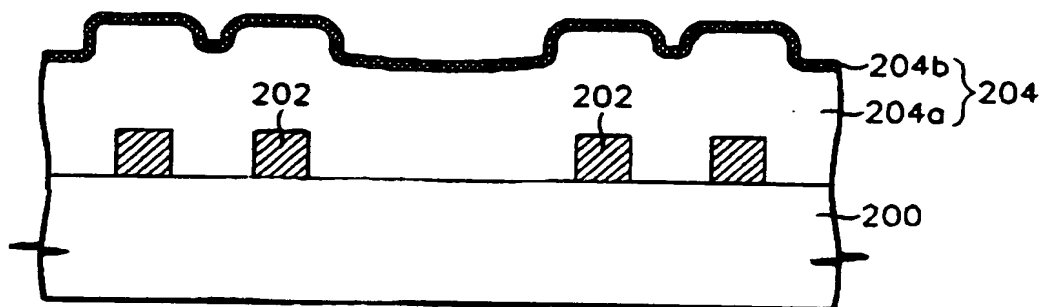
도면2e



도면3

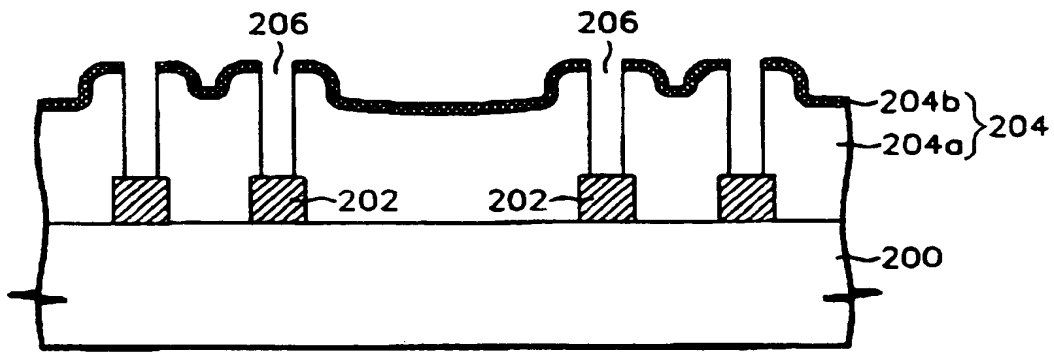


도면4a

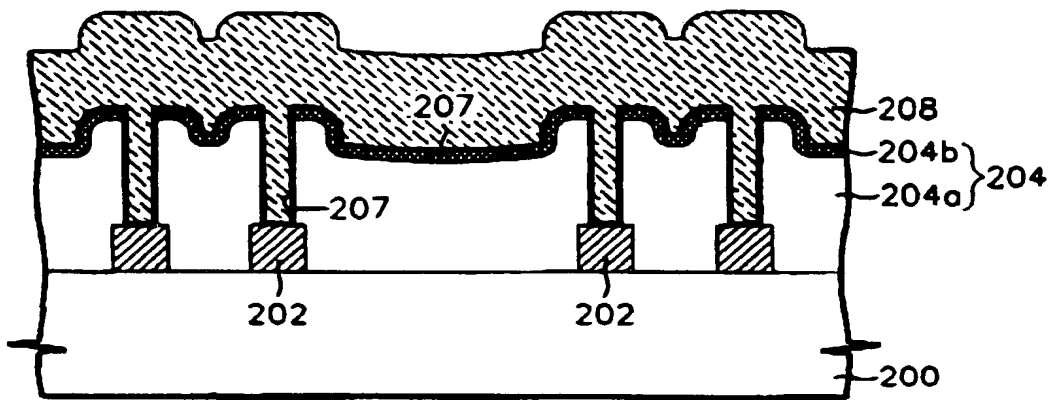


도면4b





도면 4c



도면 4d

